

（深圳）

实验报告

开课学期： 2024春季

课程名称：计算机组成原理（实验）

实验名称： 原码除法器设计

实验性质： 设计型

实验学时： 4 地点： T2506

学生班级： 5

学生学号： 220110515

学生姓名： 金正达

作业成绩：

实验与创新实践教育中心制

2024年5月

|  |
| --- |
| 1、系统功能详细设计 |
| 要求：描述系统主要功能，绘制硬件模块框图，并结合模块框图描述各模块之间的相互关系。 |
| 余数和商共用 17 bit 的数据位，初始在其 [8: 1] 载入被除数绝对值的补码，其余位为 0，将其 [15: 8] 位拼接一位 0 进入加法器，除数最高位拼接一位 0，求其相反数，再求其补码，进入加法器，加法器结果高位送入移位、上商、决定替换逻辑，为 0 将余数/商左移一位上商 0，为 1 将加法器结果替换进去并左移一位上商 1，计数器控制整个过程，计数至 8 时停止运算， |
| 2、除法器算法流程 |
| 要求：绘制除法器算法流程图，并用文字详细描述算法执行过程。 |
| 开始时，将 m 置为被除数，n 置为除数，k 置为 7， 即被除数的位数减 1，初始化商 q 为 0，设置被减数 a 为被除数 m，减数 b 为除数 n，计算 a – b 的值，差记为 c，  判断 c 是否大于 0，若大于 0，则 q 上商 1，否则上商 0，接着判断 k 是否为 0，若为 0 则算法结束，若不为 0，则上商 1 的情况下，将被减数 a 置为差 c 拼接 m 剩下的位数，否则将被减数 a 置为 a 拼接 m 剩余的位数（即进行恢复），再将 k 自增一回到减法逻辑处继续。 |
| 3、调试报告 |
| 要求：至少分析2个不同的测试用例，且必须包含完整的仿真波形截图及详细的时序分析。  示例1：10110101（-53）/10011001（-25） |
| x、y为输入的被除数和除数的原码，reg1、reg2记录被除数和除数的补码，dividend 为商/余数，初始被存入被除数，divisor 为除数，sub 为计算过程中被除数与除数的差，start 为除法开始信号，state 为状态机状态信号，cnt 为计数器信号，busy 为除法器是否工作中信号，z 为除法器输出的商，r 为除法器输出的余数。  （1）1075000ns 时，start 信号为 1 后，reg1 和 reg 2 信号记录其补码 （11001011和11100111）并保持，dividend 的 [8: 1] 位装入被除数的绝对值的补码，divisor 置为除数绝对值的补码。  （2）1075000ns 后，除法器进入状态 1，busy 置为 1，除法器开始进行除法运算，  例如计数 cnt 为 2 时，sub 为 11101000 < 0，此时 dividend 左移一位，最低位上商 0；计数 cnt 为 6 时，sub 为 0000001>=0，此时 dividend 高位被置为 sub，低位左移一位，最低位上商 1。  （3）1165000 ns 时，除法器进入状态 2，除法计算结束，根据被除数和除数符号确定商和余数的符号。  （4）1175000 ns时，除法器进入状态 3，将商和余数由补码转换为原码。  （5）1195000 ns 时，除法器输出商和余数的原码：0000010（2）和10000011（-3）。  示例2：11001001（-73）/00000110（6）      x、y为输入的被除数和除数的原码，reg1、reg2记录被除数和除数的补码，dividend 为商/余数，初始被存入被除数，divisor 为除数，sub 为计算过程中被除数与除数的差，start 为除法开始信号，state 为状态机状态信号，cnt 为计数器信号，busy 为除法器是否工作中信号，z 为除法器输出的商，r 为除法器输出的余数。  （1）325000ns 时，start 信号为 1 后，reg1 和 reg 2 信号记录其补码 （10110111和00000110）并保持，dividend 的 [8: 1] 位装入被除数的绝对值的补码，divisor 置为除数绝对值的补码。  （2）325000ns 后，除法器进入状态 1，busy 置为 1，除法器开始进行除法运算，  例如计数 cnt 为 1 时，sub 为 111111010 < 0，此时 dividend 左移一位，最低位上商 0；计数 cnt 为 5 时，sub 为 0000000>=0，此时 dividend 高位被置为 sub，低位左移一位，最低位上商 1。  （3）415000 ns 时，除法器进入状态 2，除法计算结束，根据被除数和除数符号确定商和余数的符号。  （4）425000 ns时，除法器进入状态 3，将商和余数由补码转换为原码。  （5）445050 ns 时，除法器输出商和余数的原码：10001100（-12）和10000001（-1）。 |